



03/29/01

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

## NONPROVISIONAL PATENT APPLICATION

OLIFF & BERRIDGE, PLC  
P.O. Box 19928  
Alexandria, Virginia 22320  
Telephone: (703) 836-6400  
Facsimile: (703) 836-2787

Attorney Docket No.: 109120

Date: March 29, 2001

## BOX PATENT APPLICATION

Customer Number: 25944

NONPROVISIONAL APPLICATION TRANSMITTAL  
RULE §1.53(b)

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

Transmitted herewith for filing under 37 C.F.R. §1.53(b) is the nonprovisional patent application

For (Title): METHOD AND DEVICE FOR MANUFACTURING CERAMICS, SEMICONDUCTOR  
DEVICE AND PIEZOELECTRIC DEVICE

By (Inventors): Eiji NATORI

- ☒ Formal drawings (Figs. 1-3; 3 sheets) are attached.  
☐ Use Figure for front page of Publication.  
☐ A Declaration and Power of Attorney is filed herewith.  
☐ An assignment of the invention to SEIKO EPSON CORPORATION is filed herewith.  
☐ An Information Disclosure Statement is filed herewith.  
☐ Entitlement to small entity status is hereby asserted.  
☐ A Preliminary Amendment is filed herewith.  
☐ Please amend the specification by inserting before the first line the sentence --This nonprovisional application claims the benefit of U.S. Provisional Application No. \_\_\_\_\_, filed \_\_\_\_\_.--  
☒ Priority of foreign application No. 2000-91604 filed March 29, 2000 in JAPAN is claimed (35 U.S.C. §119).  
☐ A certified copy of the above corresponding foreign application(s) is filed herewith.  
☐ This application is NOT to be published under 35 U.S.C. 112(b). The undersigned attorney or agent hereby certifies that the invention disclosed in this application has not been and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.  
☒ The filing fee is calculated below:

CLAIMS IN THE APPLICATION AFTER ENTRY OF  
ANY PRELIMINARY AMENDMENT NOTED ABOVE

FOR:	NO. FILED	NO. EXTRA
BASIC FEE		
TOTAL CLAIMS	33 - 20	= 13
INDEP CLAIMS	2 - 3	= 0
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIMS PRESENTED		

\* If the difference is less than zero, enter "0".

## SMALL ENTITY

RATE	FEE
	\$ 355
x 9 =	\$
x 40 =	\$
+ 135 =	\$
TOTAL	\$

OR

OR

OR

OR

OR

OR

OTHER THAN A  
SMALL ENTITY

RATE	FEE
	\$ 710
x 18	\$ 234
x 80	\$
+ 270	\$
TOTAL	\$ 944

- ☒ Check No. 117644 in the amount of \$944.00 to cover the filing fee is attached. Except as otherwise noted herein, the Director is hereby authorized to charge any other fees that may be required to complete this filing, or to credit any overpayment, to Deposit Account No. 15-0461. Two duplicate copies of this sheet are attached.

Respectfully submitted,

James A. Oliff  
Registration No. 27,075

Thomas J. Pardini  
Registration No. 30,411

JAO:TJP/zmc

[illegible]

Eiji  
NATORI  
Suwa-shi  
Nagano-ken  
JAPAN

Eiji  
NATORI  
Suwa-shi  
Nagano-ken  
JAPAN

25944  
Oliff & Berridge PLC  
P.O. Box 19928  
Alexandria  
VA  
22320  
(703) 836-6400  
(703) 836-2787  
commcenter@oliff.com

Eiji  
NATORI  
Suwa-shi  
Nagano-ken  
JAPAN

OD AND DEVICE FOR MANUFACTURING  
MICS, SEMICONDUCTOR DEVICE AND  
DELECTRIC DEVICE

Eiji  
NATORI  
Suwa-shi  
Nagano-ken  
JAPAN

-91604  
n 29, 2000  
N

セラミックスの製造方法およびその製造装置、ならびに半導体装置および圧電素子

本願では、2000年3月29日に出願された日本特許出願2000-91604の内容がそのまま含まれる。

5

#### 技術分野

本発明は、酸化膜、窒化膜および強誘電体膜などのセラミックスの製造方法およびその製造装置、ならびに強誘電体膜を用いた半導体装置および圧電素子に関する。

#### 10 背景

強誘電体の成膜法には、溶液塗布法、スパッタ法、レーザアブレーション法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、LSMCD (Liquid Source Misted Deposition) 法などがある。そして、高集積化が必要とされる半導体装置の分野では、MOCVD法およびLSMCD法が注目されている。特に、強誘電体メモリ装置のキャパシタを構成する強誘電体膜の形成では、LSMCD法が注目されている。これは、LSMCD法は、MOCVD法に比べて、膜の組成制御がしやすく、ウェハ間およびロッド間のバラツキが小さく、かつ安定していることによる。

しかし、LSMCD法によって、強誘電体キャパシタを有する半導体装置を形成する場合には、原料種のみスト（微粒子）の径が通常0.1~0.3μmの分布を有するため、半導体装置の0.5μm以下のデザインルールには適用できない。そして、原料種のみスト径を半導体装置のデザインルールに適用できるように微細化すると、成膜速度が大幅に低下し、ボトムあるいはサイドのカバレッジが良くない。

また、強誘電体材料であるPZT (Pb (Zr, Ti) O<sub>3</sub>) やSBT (SrBi<sub>2</sub> Ta<sub>2</sub>O<sub>9</sub>) などを形成する場合には、高いプロセス温度を必要とする。たとえば、通常、PZTの成膜においては600~700℃、SBTの成膜においては650~800℃の温度を必要とする。これらの強誘電体の特性は、その結晶性に依存し、結晶性が高いほど一般的に優れた特性を有する。

強誘電体膜を含むキャパシタ（強誘電体キャパシタ）を備えた半導体装置、たとえ

ば強誘電体メモリ装置においては、強誘電体の結晶性が各特性、たとえば残留分極特性、抗電界特性、ファティグ特性およびインプリント特性などに顕著に影響を与える。そして、強誘電体は多元系でかつ複雑な構造のペロブスカイト結晶構造を有するため、結晶性のよい強誘電体を得るためには、結晶化の時に原子が高いマイグレーションエネルギーを有することが必要である。そのため、強誘電体の結晶化には、高い  
5 プロセス温度を必要とする。

しかしながら、強誘電体膜のプロセス温度が高いと、強誘電体メモリ装置にダメージを与えやすい。すなわち、強誘電体は結晶化のために酸素雰囲気での高温処理が必要となる。その高温処理の際に、ポリシリコンや電極材料が酸化し絶縁層が形成され  
10 ると、この絶縁層によって強誘電体キャパシタの特性が劣化する。また、PZTあるいはSBTの構成元素であるPb、Biは拡散しやすく、これらの元素が半導体デバイス側に拡散することにより、その劣化を招く。これらの劣化は、強誘電体膜のプロセス温度が高いほど顕著であり、かつ高集積化された半導体装置（たとえば1Mビット以上の集積度の半導体装置）であるほど顕著となる。

15 そのため、現状では、強誘電体キャパシタは、強誘電体膜のプロセス温度が高くても比較的影響の少ない集積度（たとえば1～256kビット）の半導体装置に適用している。しかし、現在、DRAM、フラッシュメモリ等では、すでに16MビットからGビットの集積度が要求され、そのため、強誘電体メモリ装置の適用分野が限定されている。一方、強誘電体のプロセス温度を低くして、上述したような高温の酸素雰囲気によるデバイスの劣化を防止すると、強誘電体膜の結晶性が低下する。その結果、  
20 強誘電体キャパシタの残留分極特性が低下し、ファティグ特性、インプリント特性ならびにリテンション特性なども低下する。

#### サマリー

25 本発明の目的は、プロセス温度を低下させながら、結晶性などの特性が高いセラミックスを得ることができる製造方法、およびセラミックスの製造装置を提供することにある。

本発明の他の目的は、本発明の方法によって得られたセラミックスを用いた半導体装置ならびに圧電素子を提供することにある。

#### (A) 製造方法

本発明に係る製造方法は、少なくともセラミックスの原材料の一部となる原料種の  
5 微粒子と、活性種と、を混合した後に基体に供給して、該基体上にセラミックス膜を形成する工程を含む。

この製造方法によれば、高い運動エネルギーを持った活性種と、原料種の微粒子とを、基体に接触させる前に混合することで、原料種の微粒子に運動エネルギーを与えた状態で、これを基体に堆積させることができる。そのため、前記原料種の微粒子が、  
10 好ましくは $0.1\mu\text{m}$ 以下、より好ましくは $0.01\mu\text{m}$ 以下の小さい径を有する場合でも、成膜速度を制御でき、ボトムあるいはサイドのカバレッジが良好なセラミックス膜を形成できる。

また、前記活性種によって前記微粒子にエネルギーを与えることにより、膜の原子のマイグレーションエネルギーを高めることができる。その結果、活性種を供給しない場合に比べて、低温のプロセス温度で、たとえば結晶性などの膜質の優れたセラミックスを形成できる。  
15

さらに、本発明の製造方法によって得られる膜は、微細かつ均一な分布の空乏を有するので、原子がマイグレーションしやすい。そのため、結晶化に必要なエネルギーを少なくでき、この点からもプロセス温度の低下を達成できる。

20 以上のことから、本発明の製造方法を強誘電体の形成に適用した場合には、 $500^{\circ}\text{C}$ 以下のプロセス温度で、結晶性の高い強誘電体を得ることができる。たとえば、SBTの場合には、好ましくは $600^{\circ}\text{C}$ 以下、より好ましくは $450^{\circ}\text{C}$ 以下の温度で、PZTの場合には、好ましくは $500^{\circ}\text{C}$ 以下、より好ましくは $450^{\circ}\text{C}$ 以下の温度で、BST ( $(\text{Ba}, \text{Sr})\text{TiO}_3$ ) の場合には、好ましくは $500^{\circ}\text{C}$ 以下、より好ましくは $450^{\circ}\text{C}$ 以下の温度で、結晶化が可能である。  
25

本発明に係る製造方法は、さらに以下の各種態様をとることができる。

(1) 前記微粒子は、径（たとえば、径の分布のピークに対応する径）が好ましくは $0.1\mu\text{m}$ 以下、より好ましくは $0.01\mu\text{m}$ 以下である。微粒子の径をこのレ

ベルのサイズにすることで、本発明の製造方法を微細なパターンを必要とする、たとえば半導体装置の製造に適用できる。

(2) 前記微粒子は、電荷がチャージされていることが望ましい。たとえば、微粒子を上記(1)レベルのサイズにすることで、微粒子は、放電(グロー放電、アーク放電)や、供給管を流動する過程での摩擦によって、電荷がチャージされる。

このように原料種の微粒子に電荷がチャージされることで、活性種として微粒子の極性と異なるイオンを用いれば、両者は結合する。その結果、原料種は、活性種の運動エネルギーによって確実に基体に供給される。

(3) 前記原料種の微粒子は、前記活性種を混合される前にガス化されることが  
10 できる。この場合にも、成膜が可能である。

(4) 前記活性種は、ラジカルまたはイオンである。活性種としてイオンを用いる場合には、前記基体側をたとえばアース接続することで、活性種の運動エネルギーを増加させることができる。

前記活性種は、前記セラミックスの原材料の一部となる原料種のラジカルまたはイオン、不活性ガスを活性化させて得られるイオン、あるいは両者の混合であってもよい。前記活性種としては、前記セラミックスの原料種として用いる場合には、酸素または窒素のラジカルまたはイオンである。前記活性種としては、前記セラミックスの原料種として用いない場合には、アルゴンまたはキセノンなど不活性ガスのイオンである。

20 ラジカルあるいはイオンの発生方法としては、公知の方法、たとえば、RF(高周波)、マイクロ波、ECR(電子サイクロトン共鳴)等を用いた活性種生成方法を例示できる。また、活性種は、ラジカル、イオンの他にオゾンであってもよい。オゾンは、オゾナーによって生成できる。

(5) 少なくとも前記活性種は、加速された状態で前記基体に供給されることが  
25 望ましい。このように活性種を加速することで、結果的に原料種の運動エネルギーを制御でき、成膜速度の制御、膜のカバレッジ性の改善、およびプロセス温度の低下をさらに達成できる。活性種を加速する手段としては、電界を印加する方法、などを用いることができる。



(6) 前記セラミックス膜は、前記基体に対して部分的に形成することができる。すなわち、この製造方法においては、セラミックス膜の形成領域が基体に対して全面的でなく、部分的で微少な領域で行われる。この製造方法においては、以下の方法が好ましい。すなわち、前記基体の表面に、成膜されるセラミックスに対して親和性を有する膜形成部と、成膜されるセラミックスに対して親和性を有しない非膜形成部とを形成し、自己整合的に前記膜形成部にセラミックス膜を形成する工程を含むことができる。

(7) 前記セラミックス膜は、LSMCD法またはミストCVD法によって形成されることが望ましい。これらの方法は、上述の本発明の製造方法の特徴を達成する上で適している。

以上の本発明に係る好ましい態様は、以下に述べる本発明の製造装置についても適用できる。

#### (B) 製造装置

本発明の製造装置は、セラミックスが形成される基体の配置部と、  
前記基体を所定温度に加熱するための加熱部と、  
少なくともセラミックスの原材料の一部となる原料種を微粒子の状態で供給するための原料種供給部と、  
活性種を供給するための活性種供給部と、  
前記原料種供給部から供給された原料種と、前記活性種供給部から供給された活性種と、を混合するための混合部と、を含み、  
前記原料種および前記活性種を混合した後に前記基体へ供給して成膜が行われる。  
前記原料種供給部は、原料貯蔵部と、原料貯蔵部から供給された原料を微粒子にするミスト化部と、を含むことができる。前記原料種供給部は、さらに加熱部を有し、該加熱部によって、前記微粒子をガス化させることができる。  
さらに、前記基体の配置部は、前記加熱部を構成することができる。

(C) 本発明に係る製造方法によって得られたセラミックスは、各種の用途に利用される。以下に、代表的な用途の装置を挙げる。

(1) 本発明の製造方法によって形成された誘電体膜を含むキャパシタを有する、

半導体装置。このような半導体装置としては、誘電体膜として本発明の製造方法によって得られた高誘電率の常誘電体を用いたDRAM、強誘電体を用いたメモリ（FeRAM）装置がある。

（２）本発明の製造方法によって形成された誘電体膜を含む圧電素子。この圧電素子は、アクチュエータ、インクジェットプリンタのインク吐出ヘッドなどに適用できる。

#### 図面の簡単な説明

図１は、本発明の製造方法および製造装置に係る第１の実施の形態を模式的に示す図である。

図２Ａ及びＢは、本発明の製造方法および製造装置に係る第２の実施の形態を模式的に示し、図２Ａは基体の平面図、図２Ｂは図２ＡのＡ－Ａ線に沿った断面図である。

図３は、本発明に係る第３の実施の形態の半導体装置（強誘電体メモリ装置）を模式的に示す断面図である。

#### 詳細な説明

##### 〔第１の実施の形態〕

図１は、本実施の形態に係るセラミックスの製造方法およびその製造装置を模式的に示す図である。

セラミックスの製造装置１０００は、本実施の形態においてはLSMCDあるいはミストCVDが可能な装置を用いている。セラミックスの製造装置１０００は、活性種供給部１００、原料種供給部２００、混合部３００および基体の載置部（配置部）４０を有する。

活性種供給部１００は、前述した各種の方法によって、ラジカルあるいはイオンなどの活性種を形成する。そして、活性種は、混合部３００に送られる。

活性種として、イオンを用いる場合には、たとえば $Ar^+$ 、 $Kr^+$ 、 $Xc^+$ 、 $O^+$ 、 $O^{2+}$ 、 $N^+$ などを用いることができる。この場合、載置部４０をアース接続することで、これ



らの活性種の運動エネルギーを増加させることができる。そして、SBT、PZTなどの酸化物を形成する場合には、活性種として $O^+$ 、 $O^{2+}$ を、窒化物を形成する場合には、活性種として $N^+$ を用いるか、あるいは不活性ガスのイオンと共用することで、結晶中に酸素や窒素を効率よく供給でき、さらに結晶性のよい強誘電体を得ることができる。

原料種供給部200は、有機金属、有機金属錯体などのセラミックス材料が収容される原料タンク210と、原料をミスト化するミスト化部220と、を有する。ミスト化された原材料は、混合部300に送られる。

原料種供給部200は、ミストCVD法によって成膜する場合には、ミスト化部220と混合部300との間にミストをガス化させるための加熱部230を配置することができる。この場合でも、LSMCD法とほぼ同様な膜質のセラミックス膜が形成できる。

混合部300は、原料種供給部200から供給された原料種および活性種供給部100から供給された活性種を混合できればよい。混合部300の先端にはメッシュ320が設けられている。

載置部（配置部）40は、基体10を所定温度に加熱するための加熱部を有する。さらに、載置部40は、アース接続されている。

また、本実施の形態では、載置部40をアース接続する代わりに、混合部300と載置部40との間に電界を印加することで、混合部300から載置部40に向かうイオン種（活性種および原料種）を加速させることもできる。たとえば、載置部40にバイアスがかかることで、プラスおよびマイナスの電荷を有するイオン種を加速できる。また、基体側がプラスまたはマイナスのいずれか一方になるように、電界を印加してもよい。この場合、基体側の極性は、活性種の極性と異なる極性に設定される。このように、少なくとも活性種を電界によって加速することで、原料種の微粒子を確実に基体10に供給できる。したがって、成膜速度の制御、結晶化に必要なプロセス温度をさらに低くできる。

このセラミックスの製造装置1000によれば、以下の手順でセラミックス膜2.0が形成される。

まず、原料種供給部200において、原料タンク210からミスト化部220に供給された原料は、たとえば超音波によって、好ましくは0.1 $\mu$ m以下、より好ましくは0.01 $\mu$ mに分布のピークを有する径のミスト（原料種の微粒子）となる。ミストの径は、超音波の周波数、投入パワーなどによって変えることができる。ミスト化部220で形成されたミストは、混合部300に送られる。そして、活性種供給部100から活性種が混合部300に送られる。混合部300において混合されたミストと活性種は、混合部300から基体10に向けて供給され、基体10上にセラミックス膜20が形成される。

本実施の形態によれば、高い運動エネルギーを持った活性種と、ミスト（原料種の微粒子）とを、基体10に接触させる前に混合部300で混合することで、原料種の微粒子に運動エネルギーを与えた状態で、これを基体10に堆積させることができる。そのため、前記原料種の微粒子が、0.01 $\mu$ m以下の径を有する場合でも、成膜速度を制御でき、ボトムあるいはサイドのカバレッジが良好なセラミックス膜20を形成できる。

また、活性種によって原料種の微粒子にエネルギーを与えることにより、膜の原子のマイグレーションエネルギーを高めることができる。その結果、活性種を供給しない場合に比べて、低温のプロセス温度で、たとえば結晶性などの膜質の優れたセラミックスを形成できる。

さらに、本実施の形態で得られる膜は、LSMCD法あるいはミストCVD法で形成され、微細かつ均一な分布の空乏を有するので、原子がマイグレーションしやすい。そのため、結晶化に必要なエネルギーを少なくでき、この点からもプロセス温度の低下を達成できる。

#### [第2の実施の形態]

図2Aおよび図2Bは、本発明の成膜方法の変形例を示す。図2Aは、基体10の平面を示し、図2Bは、図2AのA-A線に沿った断面を示す。

本実施の形態においては、セラミックスを基体10上に部分的に成膜する例を示している。このようにセラミックスを成膜する領域を部分的にすることで、全面的にセラミックスを形成する場合に比べて加熱を必要とする部分の容量が相対的に小さく

なるため、加熱処理に要するエネルギーを少なくすることができる。その結果、加熱プロセスの温度を相対的に下げることができる。したがって、この実施の形態によれば、活性種の供給によるプロセス温度の低下に加えて、さらにプロセス温度の低下を達成できる。

- 5 本実施の形態においては、基体10は、基体本体12と、基体本体12上に形成された、膜形成部14および非膜形成部16とを有する。

膜形成部14は、基体10上に形成されるセラミックスと化学的または物理的に親和性の高い材料、たとえばセラミックスの原料種に対して濡れ性がよい材料で構成される。これに対し、非膜形成部16は、成膜されるセラミックスと化学的または物理的に親和性が悪く、たとえばセラミックスの原料種に対して濡れ性が小さい材料で形成される。このように基体10の表面を構成することにより、セラミックス膜を形成したい領域に膜形成部14を配置することにより、所定パターンのセラミックス膜20が形成される。

- 15 たとえば、セラミックス膜として強誘電体膜を形成する場合には、膜形成部14の材料として酸化イリジウムを用い、非膜形成部16の材料としてフッ素系化合物を用いることができる。

本実施の形態に係るセラミックスの製造方法は、強誘電体をはじめとする各種セラミックスに適用することができるが、特に層状ペロブスカイトに好適に用いることができる。層状ペロブスカイトは、C軸に対して直角方向において、酸素特にラジカル（原子状酸素）が拡散しやすいため、結晶化のための加熱プロセスにおいてセラミックス膜20の側面からのラジカルのマイグレーションが容易となる。その結果、ペロブスカイトの酸素欠損が少なくなり、分極特性が向上し、ファテーク特性、インプリント特性などの劣化が抑制される。

### [第3の実施の形態]

- 25 図3は、本発明に係る製造方法によって得られた強誘電体を用いた半導体装置（強誘電体メモリ装置5000）の例を示す。

強誘電体メモリ装置5000は、CMOS領域R1と、このCMOS領域R1上に形成されたキャパシタ領域R2と、を有する。CMOS領域R1は、公知の構成を有

する。すなわち、CMOS領域R1は、半導体基板1と、この半導体基板1に形成された素子分離領域2およびMOSトランジスタ3と、層間絶縁層4とを有する。キャパシタ領域R2は、下部電極5、強誘電体膜6および上部電極7から構成されるキャパシタC100と、下部電極5と接続された配線層8aと、上部電極7と接続された配線層8bと、絶縁層9とを、有する。そして、MOSトランジスタ3の不純物拡散層3aと、キャパシタC100を構成する下部電極5とは、ポリシリコンまたはタングステンブラグからなるコンタクト層11によって接続されている。

本実施の形態に係る強誘電体メモリ装置5000においては、キャパシタC100を構成する強誘電体(PZT、SBT)膜6は、通常の強誘電体より低い温度、たとえばPZTの場合には500℃以下、SBTの場合には600℃以下の温度で形成できる。なお、ファテーク特性、インプリント特性、リテンション特性が通常の強誘電体と同等であって、残留分極が、PZTの場合に $10\mu\text{C}/\text{cm}^2$ 程度、SBTの場合に $5\mu\text{C}/\text{cm}^2$ 程度となるようにすると、本発明によれば結晶化温度を450℃以下にすることも可能である。

したがって、本実施の形態では、強誘電体膜6の形成時に、CMOS領域R1に対して熱によるダメージの発生を抑制できるので、キャパシタC100は、高集積度の強誘電体メモリ装置に適用できる。また、強誘電体(PZT、SBT)膜6は、通常の強誘電体より低い温度で形成できることから、CMOS領域R1の配線層(図示せず)およびキャパシタC100を構成する電極部5、7の材料としてイリジウムや白金などの高価な材料を用いなくとも、配線層あるいは電極部の劣化がない。そのため、これらの配線層および電極部の材料として、安価なアルミニウム合金を用いることができ、コストの低減を図ることができる。

さらに、CMOSなどの半導体装置においては、強誘電体(PZT、SBT)による汚染を防ぐために、通常、半導体プロセスとキャパシタプロセスとを隔離することが行われている。しかし、本発明の製造方法によれば、強誘電体のプロセス温度を低くできるので、通常の半導体プロセスの最終工程である多層配線工程後に、連続してキャパシタの形成ができる。そのため、隔離するプロセスを少なくでき、プロセスの簡易化を図ることができる。さらに、本発明の製造方法によれば、半導体プロセスと

キャパシタプロセスとの隔離を必要としないので、ロジック、アナログなどが混載された半導体装置の製造に有利である。

本発明の製造方法によって形成される誘電体は、上記強誘電体メモリ装置に限定されず、各種半導体装置、たとえばDRAMではBSTのような高誘電率の常誘電体を用いることにより、キャパシタの大容量化が図れる。

5   用いることにより、キャパシタの大容量化が図れる。

また、本発明の製造方法によって形成される強誘電体は、他の用途、たとえば、アクチュエータに用いる圧電素子の圧電体、インクジェットプリンタのインク吐出ヘッドなどに適用できる。

さらに、本発明の製造方法によって形成される窒化物（窒化シリコン、窒化チタン）  
10   は、たとえば、半導体装置のパッシベーション膜、ローカルインターコネクト膜などに適用できる。

## 請 求 の 範 囲

1. 少なくともセラミックスの原材料の一部となる原料種の微粒子と、活性種と、を混合した後に基体に供給して、該基体上にセラミックス膜を形成する工程を含む、セラミックスの製造方法。
- 5      2. 請求項1において、  
前記微粒子は、径が0.1  $\mu\text{m}$ 以下である、セラミックスの製造方法。
3. 請求項1において、  
前記微粒子は、径が0.01  $\mu\text{m}$ 以下である、セラミックスの製造方法。
4. 請求項1において、
- 10    前記微粒子は、電荷がチャージされている、セラミックスの製造方法。
5. 請求項1において、  
前記原料種の微粒子は、前記活性種と混合される前にガス化される、セラミックスの製造方法。
6. 請求項1において、
- 15    前記活性種は、ラジカルまたはイオンである、セラミックスの製造方法。
7. 請求項6において、  
前記活性種は、前記セラミックスの原材料の一部となる原料種のラジカルまたはイオンである、セラミックスの製造方法。
8. 請求項6において、
- 20    前記活性種は、酸素または窒素のラジカルまたはイオンである、セラミックスの製造方法。
9. 請求項6において、  
前記活性種は、不活性ガスを活性化させて得られるイオンである、セラミックスの製造方法。
10. 請求項9において、  
前記不活性ガスは、アルゴンまたはキセノンのイオンである、セラミックスの製造方法。
11. 請求項1において、



少なくとも前記活性種は、加速された状態で前記基体に供給される、セラミックスの製造方法。

12. 請求項1において、

前記セラミックス膜は、前記基体に対して部分的に形成される、セラミックスの製

5 造方法。

13. 請求項12において、

前記基体の表面に、成膜されるセラミックスに対して親和性を有する膜形成部と、  
成膜されるセラミックスに対して親和性を有しない非膜形成部とを形成し、自己整合  
的に前記膜形成部にセラミックス膜を形成する工程を含む、セラミックスの製造方法。

10 14. 請求項1において、

前記セラミックス膜は、LSMCD法またはミストCVD法によって形成される、  
セラミックスの製造方法。

15. 請求項1において、

前記セラミックス膜は、誘電体からなる、セラミックスの製造方法。

15 16. 請求項15において、

前記誘電体は、600℃以下の温度で形成される、セラミックスの製造方法。

17. 請求項15において、

前記誘電体は、450℃以下の温度で形成される、セラミックスの製造方法。

18. セラミックスが形成される基体の配置部と、

20 前記基体を所定温度に加熱するための加熱部と、

少なくともセラミックスの原材料の一部となる原料種を微粒子の状態で供給する  
ための原料種供給部と、

活性種を供給するための活性種供給部と、

前記原料種供給部から供給された原料種と、前記活性種供給部から供給された活性

25 種と、を混合するための混合部と、を含み、

前記原料種および前記活性種を混合した後に前記基体に供給して成膜が行われる、  
セラミックスの製造装置。

19. 請求項18において、

前記成膜は、L S M C D法またはミストCVD法によって行われる、セラミックスの製造装置。

20. 請求項18において、

5 前記原料種供給部によって、前記微粒子は、径が0.1  $\mu$ m以下にされる、セラミックスの製造装置。

21. 請求項18において、

前記原料種供給部によって、前記微粒子は、径が0.01  $\mu$ m以下にされる、セラミックスの製造装置。

22. 請求項18において、

10 前記微粒子は、電荷がチャージされている、セラミックスの製造装置。

23. 請求項18において、

前記原料種供給部は、原料貯蔵部と、原料貯蔵部から供給された原料を微粒子にするミスト化部と、を含む、セラミックスの製造装置。

24. 請求項23において、

15 前記原料種供給部は、さらに加熱部を有し、該加熱部によって、前記微粒子をガス化させる、セラミックスの製造装置。

25. 請求項18において、

前記活性種供給部は、ラジカルまたはイオンからなる活性種を供給する、セラミックスの製造装置。

20 26. 請求項25において、

前記活性種は、前記セラミックスの原材料の一部となる原料種のラジカルまたはイオンである、セラミックスの製造装置。

27. 請求項25において、

25 前記活性種は、酸素または窒素のラジカルまたはイオンである、セラミックスの製造装置。

28. 請求項25において、

前記活性種は、不活性ガスを活性化させて得られるイオンである、セラミックスの製造装置。

29. 請求項28において、

前記不活性ガスは、アルゴンまたはキセノンのイオンである、セラミックスの製造装置。

30. 請求項18において、

5    少なくとも前記活性種は、加速された状態で前記基体に供給される、セラミックスの製造装置。

31. 請求項1～17に記載の製造方法によって形成された誘電体膜を含むキャパシタを有する、半導体装置。

32. 請求項31において、

10    CMOS領域と、強誘電体を含むキャパシタを有するキャパシタ領域と、を含む、強誘電体メモリ装置。

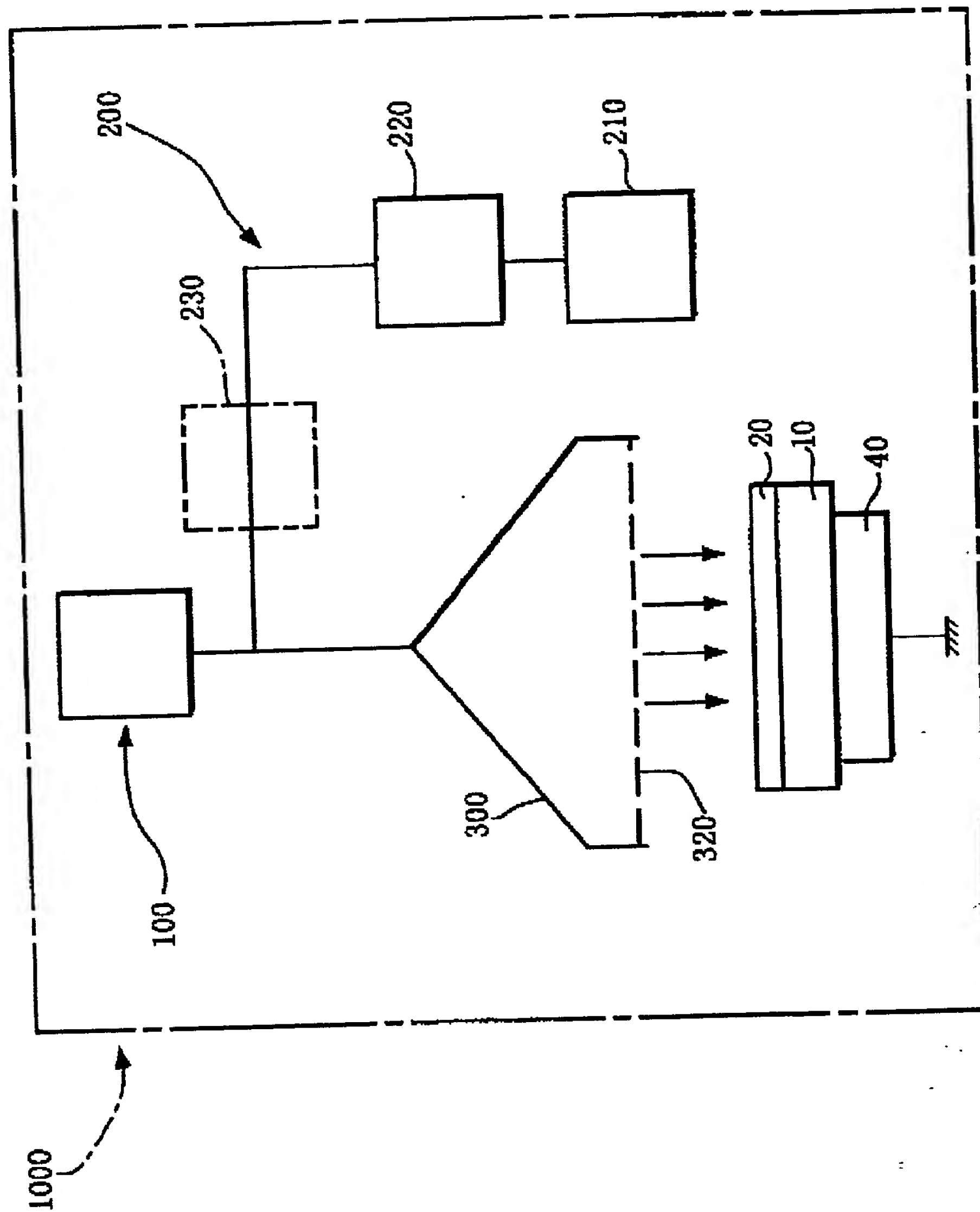
33. 請求項1～17に記載の製造方法によって形成された誘電体膜を含む圧電素子。

## 要 約 書

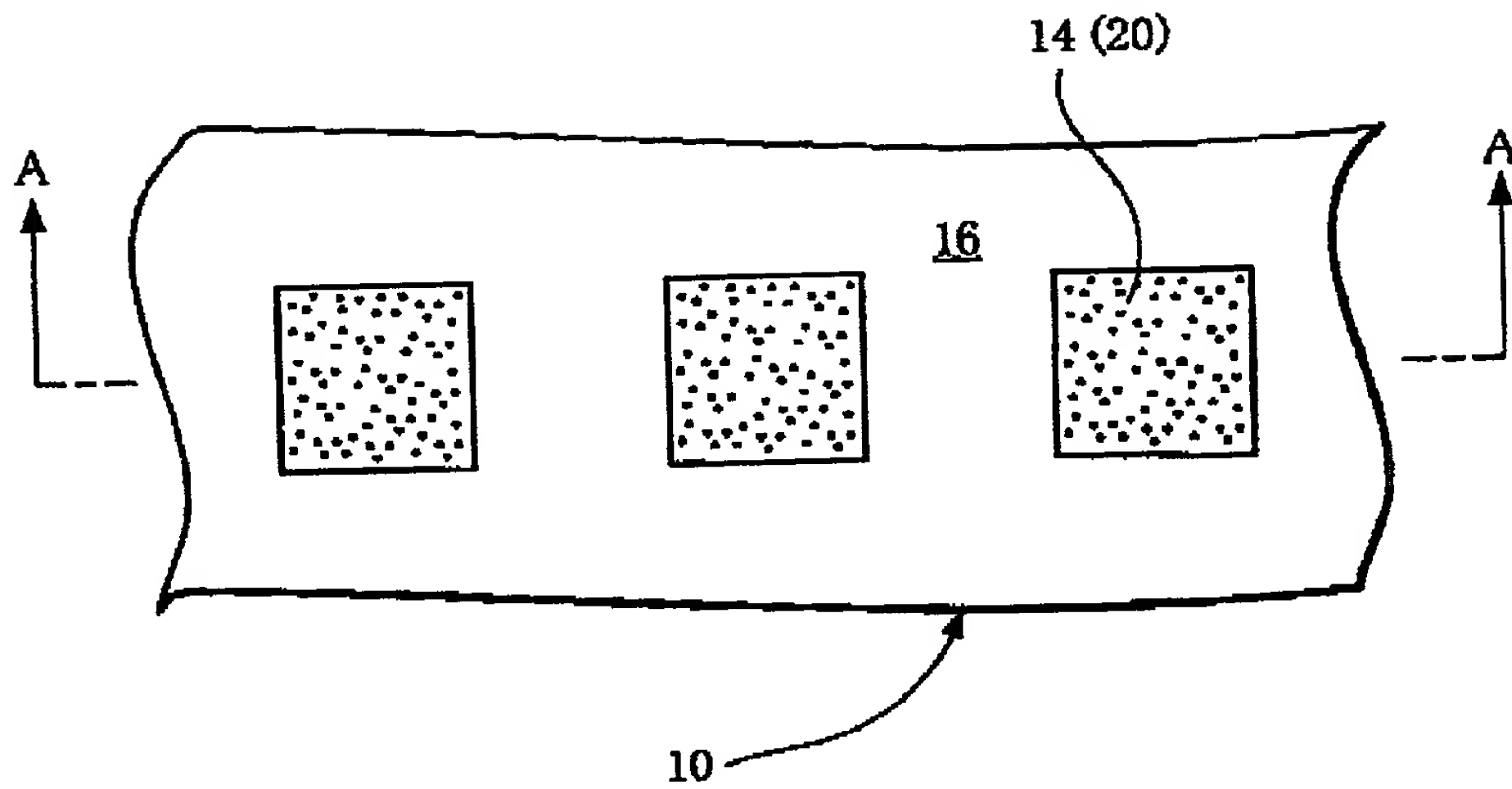
セラミックスの製造方法は、少なくともセラミックスの原材料の一部となる原料種の微粒子と、活性種と、を混合した後に基体に供給して、基体上にセラミックス膜を形成する工程を含む。製造装置は、基体の加熱部を兼ねる配置部と、原料種を微粒子

5    の状態で供給するための原料種供給部と、活性種を供給するための活性種供給部と、原料種と活性種とを混合するための混合部と、を有する。

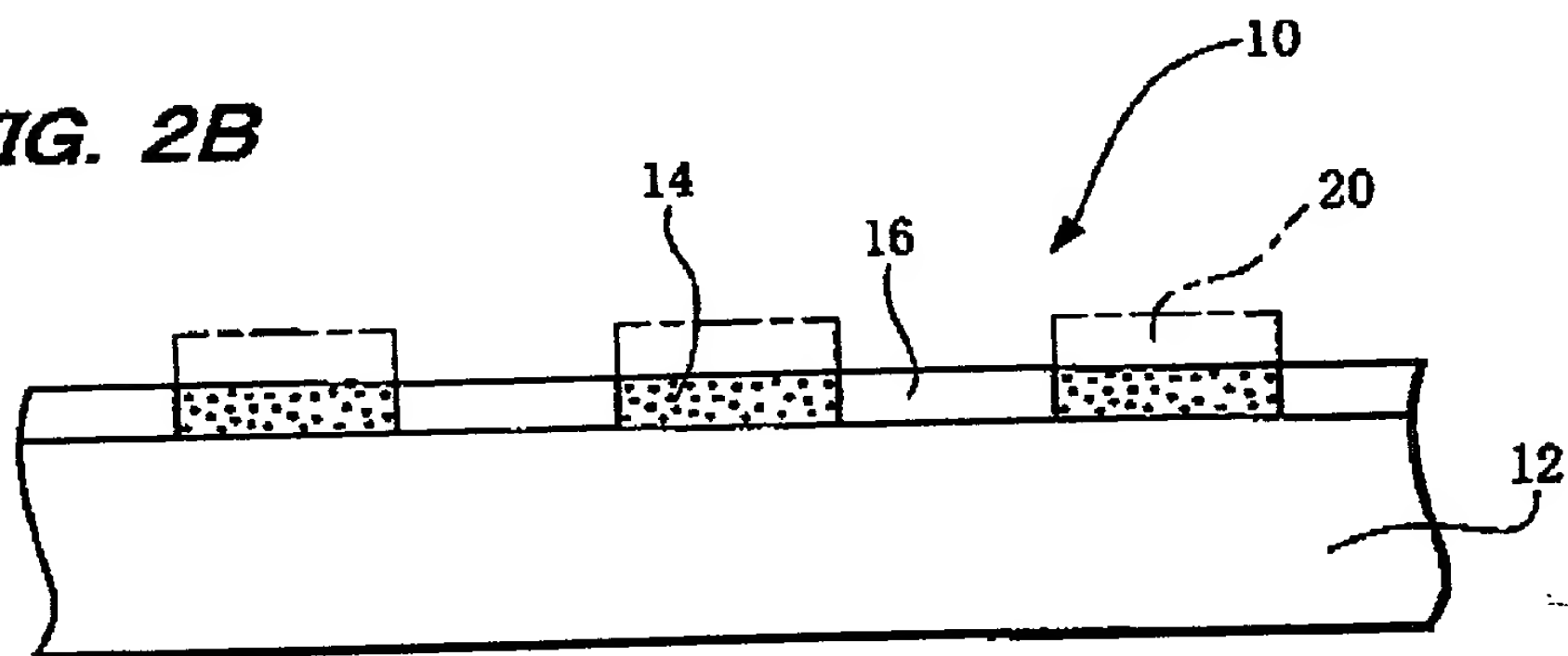
FIG. 1



**FIG. 2A**



**FIG. 2B**





**FIG. 3**

